

## ⑫ 公開特許公報(A) 平1-258466

⑬ Int. Cl.<sup>4</sup>H 01 L 27/10  
G 11 C 11/34

識別記号

4 9 5  
3 7 1

庁内整理番号

8624-5F  
K-8522-5B

⑭ 公開 平成1年(1989)10月18日

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 メモリモジュール

⑯ 特 願 昭63-85445

⑰ 出 願 昭63(1988)4月8日

⑱ 発 明 者 高 坂 徹 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内  
 ⑱ 発 明 者 山 下 宏 明 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内  
 ⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
 ⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

## 明 細 書

## (従来の技術)

## 1. 発明の名称

メモリモジュール

## 2. 特許請求の範囲

(1) 複数のメモリチップを搭載したメモリモジュールにおいて、電源入力端子とグランド端子とを端子配列の両端の対称位置に配置したことを特徴とするメモリモジュール。

(2) 複数のメモリチップを搭載したメモリモジュールにおいて、電源入力端子とグランド端子とを端子配列の両端の対称位置に配置するとともに同一ビットに関するデータ入力端子とデータ出力端子を隣接して配置したことを特徴とするメモリモジュール。

## 3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は電子機器に使用されるメモリモジュールに関する。

近年、半導体メモリの製造技術の向上と、これによるビット当たりの低コスト化に伴い、電子機器に使用されるメモリ容量は増加の一途をたっている。このようななかで、プリント基板上に数個のD-RAMチップを搭載したメモリモジュールが製品化されている。このようなメモリモジュールは、カードエッジのコネクタを持ち専用ソケットにより機器本体に装着される。ところでこの種のモジュールの端子配列には、現在統一的な規格はない。このため、より使いやすい端子配列を独自に設定することが可能である。

しかしながら、従来のメモリモジュールにおいてはその電源入力端子およびグランド端子は端子配列に関して対称位置には配置されてなく1組しかなかった。

(発明が解決しようとする課題)

このように上記従来のメモリモジュールでは、電源入力端子およびグランド端子が端子配列に関して対称の位置に配置されてなく1組しかなかった。

たため、誤ってメモリモジュールをソケットに対して逆方向に挿着した場合は電源ラインで衝突が起こり、また電源ラインを通して他の箇所にも悪影響を与えることがあるという問題点があった。

そこで本発明はこの問題点を除去し、メモリモジュールを逆方向に挿着した場合でも、電源ラインによる衝突および悪影響が生じないメモリモジュールを提供することを目的とする。

#### 〔発明の構成〕

##### 〔課題を解決するための手段〕

本発明は、複数のメモリチップを搭載したメモリモジュールにおいて、電源入力端子とグラウンド端子とを端子配列の両端の対称位置に配置したことを特徴とする。

##### 〔作用〕

本発明では、メモリモジュールを逆方向に挿着した場合でも電源入力端子とグラウンド端子とを端子配列の両端の対称位置に配置されるため電源ラインによる衝突および他の箇所への悪影響が生じない。

端子、記号D in 0 ~ D in 8 はデータ入力端子を表わしている。9個のD-RAMチップ201~209はそのアドレス端子A<sub>1</sub> ~ A<sub>9</sub>がそれぞれ共通接続され、各D-RAMチップ201~209にそれぞれ行アドレスストロープ端子RAS、行アドレスストロープ端子CAS、ライト端子WRITBが接続されている。また電源入力端子VCCとグラウンド端子GNDの間には9個のチップコンデンサ300が並列に接続されている。

第3図は第2図に示した各端子を第1図に示した端子番号との関係のもとに表にして示したものである。第3図において、グラウンド端子GNDは端子番号1および35に対応する端子1および35に接続され、電源入力端子VCCは端子番号2および34に対応する端子2および34に接続される。すなわち、電源入力端子VCCおよびグラウンド端子はメモリモジュールにおける端子配列の両端の対称位置の端子に接続される。またデータ入力端子D in 0 ~ D in 8 およびデータ出力端子D out 0 ~ D out 8 は同一ビットに関する端子が互いに

#### 〔実施例〕

以下、本発明の一実施例を添付図面を参照して詳細に説明する。

第1図は本発明のメモリモジュールの一実施例を示す外形図である。

この図において、メモリモジュール100は同じ機能をもつ合計9個のD-RAMチップ201~209を第1図(a)および(b)に示すようにプリント基板101の両面に搭載している。また、このメモリモジュール100は第1図(a)に矢印Xで示した端子を端子1とし、矢印Yで示した端子を端子35として、それぞれ順次連続した端子番号が付された端子1~35が配列されている。

第2図は本実施例のメモリモジュール100の回路図を示したものであり、この図において記号VCCは電源入力端子、記号GNDはグラウンド端子、記号RASは行アドレスストロープ端子、記号CASは列アドレスストロープ端子、記号WRITBはライト端子、記号A<sub>1</sub> ~ A<sub>9</sub>はアドレス端子、記号D out 0 ~ D out 8 はデータ出力

端子と互いに接続されている。例えばデータ出力端子D out 2とデータ入力端子D in 2は互いに接続する端子17と18に接続され、データ出力端子D out 7とデータ入力端子D in 7は互いに接続する端子27と28に接続される。

このような端子配列をとると、図示しないソケットに対してメモリモジュール100を逆方向に挿着した場合でも電源ラインによる衝突は生じない。またデータ入力端子D in 0 ~ D in 8 およびデータ出力端子D out 0 ~ D out 8 を同一ビットに関して互いに接続する端子に接続するようにしたのでデータ入出力線の配列が容易になる。

#### 〔発明の効果〕

以上説明したように本発明によれば、電源入力端子とグラウンド端子とを端子配列の両端の対称位置に配置したため、メモリモジュールを誤って逆方向に挿着した場合でも電源ラインによる衝突および悪影響が生じないという利点がある。また同一ビットに関するデータ入力端子とデータ出力端子を接続する端子とすることによってデータ入

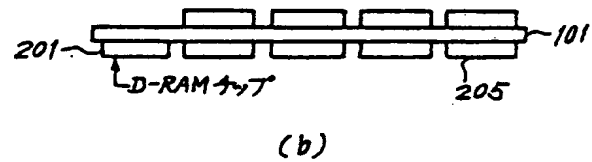
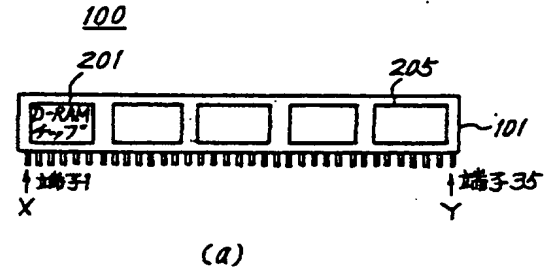
出力ラインの配列が容易となる。

#### 4. 図面の簡単な説明

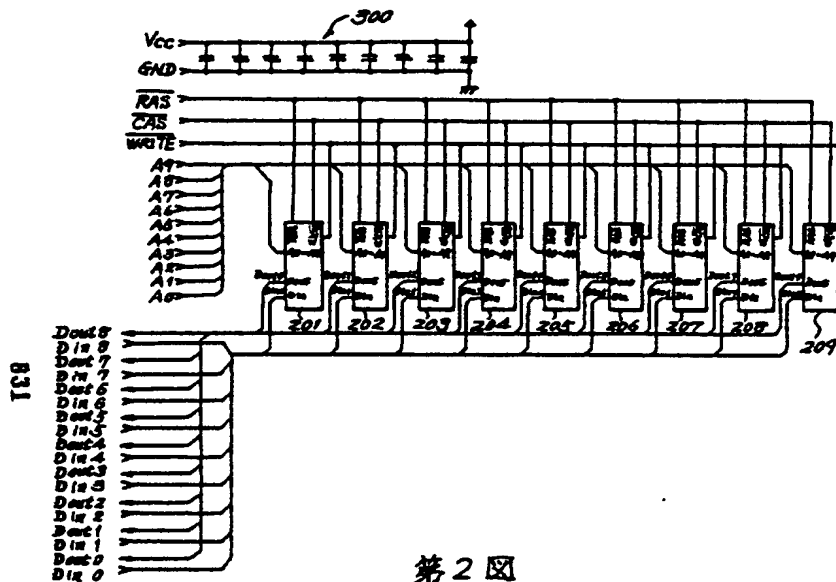
第1図は本発明のメモリモジュールの一実施例を示す外形図、第2図は本実施例のメモリモジュールの回路図、第3図は同実施例のメモリモジュールの端子配列を示す表である。

100…D-RAMモジュール、101…プリント基板、201～209…D-RAMチップ、300…チップコンデンサ。

代理人弁理士 堀 近 憲 佑  
同 山 下 一



第1図



| 端子番号 | 名称記号   | 端子番号 | 名称記号   | 端子番号 | 名称記号  |
|------|--------|------|--------|------|-------|
| 1    | GND    | 16   | Din 1  | 31   | RAS   |
| 2    | Vcc    | 17   | Dout 2 | 32   | CAS   |
| 3    | A0     | 18   | Din 2  | 33   | WRITE |
| 4    | A1     | 19   | Dout 3 | 34   | Vcc   |
| 5    | A2     | 20   | Din 3  | 35   | GND   |
| 6    | A3     | 21   | Dout 4 |      |       |
| 7    | A4     | 22   | Din 4  |      |       |
| 8    | A5     | 23   | Dout 5 |      |       |
| 9    | A6     | 24   | Din 5  |      |       |
| 10   | A7     | 25   | Dout 6 |      |       |
| 11   | A8     | 26   | Din 6  |      |       |
| 12   | A9     | 27   | Dout 7 |      |       |
| 13   | Dout 0 | 28   | Din 7  |      |       |
| 14   | Din 0  | 29   | Dout 8 |      |       |
| 15   | Dout 1 | 30   | Din 8  |      |       |

第 3 図

**JAPAN PATENT OFFICE**

**PATENT LAID-OPEN OFFICIAL GAZETTE**

Laid-Open No.

H.1-258466

Laid-Open

H.1 (1989) Oct. 16

---

Application No.: S.63-85445

Filed: S.63 (1988) Apr. 8

Inventor: Tooru Kosaka  
Hiroaki Yamashita  
3-1-1 Asahigaoka, Hino-shi, Tokyo  
Hino Works, Toshiba Corporation

Applicant: Toshiba Corporation  
72 Horikawa-cho, Saiwai-ku, Kawasaki-shi,  
Kanagawa

Attorneys, Agents: Kensuke Norichika and another

# 1. TITLE OF THE INVENTION

Memory Module

## 2. WHAT IS CLAIMED

1. A memory module on which multiple memory chips are mounted, characterized in that the power input terminals and the ground terminals are placed on both ends and symmetrically about the center line.

2. A memory module on which multiple memory chips are mounted, characterized in that the power input terminals and the ground terminals are placed on both ends and symmetrically about the center line and that the data input terminal and the data output terminal of the same number are adjacently located.

## 3. DETAILED DESCRIPTION OF THE INVENTION

[Scope of Utilization in Industry]

This invention relates to a memory module used for electric appliances.

[Prior Art]

With the improvement of the fabrication technique and reduction of cost per bit, the memory capacity used for electric appliances is continuously increasing. Under such circumstances, memory modules in which several D-RAM chips are mounted on a print circuit board were put on the market. Such type of memory module, having a card-edge connector, is inserted into an electric appliance using a dedicated socket. The terminal configuration of such memory devices has not been standardized yet. Therefore, easy-to-use terminal configurations can be uniquely specified.

However, the power supply terminal and the ground terminal were not located symmetrically about the terminal

configuration line, and only one terminal was provided for each of the power terminal and the ground terminals.

[Problems to be Solved by the Invention]

A conventional memory module has only one pair of power supply and ground pins that are not placed symmetrically. If the memory module is inserted in the wrong direction into a socket, a signal conflict occurs in the power supply line, or adverse effects may occur in other sections through the power supply line.

The objective of this invention is to solve this problem and also provide a memory module that does not cause signal conflict or adverse effects even if a memory module is inserted in the wrong direction.

[Means for Solving the Problem]

This invention is characterized in that the power supply input terminals and the ground terminals are placed symmetrically about the center line and at the end of the terminal arrangement.

[Operation]

When this invention is applied, since the power supply terminal and the ground terminal are placed symmetrically about the center line and at the end of the terminal arrangement, signal conflicts or adverse effects do not occur even if a memory module is inserted in the wrong direction.

[Embodiment]

This invention is described below in detail based on an embodiment shown in accompanying drawings.

Figure 1 shows an embodiment of the memory module of this invention.

In memory module 100, a total of nine D-RAM chips (201 to 209) having the same function are mounted on both sides of print circuit board 101 as shown in Fig. 1 (a) and (b). Terminals 1 to 35 having serial numbers are provided, with

the terminals pointed to by arrows X and Y being terminals 1 and 35, respectively.

Figure 2 shows a circuit diagram of memory module 100 of this embodiment. In this figure, Vcc is the power input terminal, GND is the ground terminal,  $\overline{\text{RAS}}$  is the row address strobe terminal,  $\overline{\text{CAS}}$  is the column address strobe terminal,  $\overline{\text{WRITE}}$  is the write terminal, A0 to A9 are the address terminals, Dout0 to Dout8 are data output terminals, and Din0 to Din8 are the data input terminals. Address terminals A0 to A9 of nine DRAM chips 201 to 209 are connected in common, and row-address strobe terminal  $\overline{\text{RAS}}$ , column-address strobe terminal  $\overline{\text{CAS}}$ , and write terminal  $\overline{\text{WRITE}}$  are connected to each of DRAM chips 201 to 209. In addition, nine chip capacitors 300 are connected between power input terminal Vcc and ground terminal GND.

Figure 3 shows a terminal table of the circuit shown in Fig. 2; this table is based on the terminal configuration shown in Fig. 1. In Fig. 3, ground terminal GND is connected to terminals 1 and 35 that correspond to terminal numbers 1 and 35, and power input terminal Vcc is connected to terminals 2 and 34 that correspond to terminal numbers 2 and 34. The power input terminal Vcc and the ground terminal are placed symmetrically about the center line and at the end of the terminal arrangement of the memory module. In addition, data input terminals Din0 to Din8 and data output terminals Dout0 to Dout8 are connected to each terminal so that the terminals of the same number are adjacently located. For example, data output terminal Dout2 and data input terminal Din2 are connected to adjacent terminals 17 and 18, and data output terminal Dout7 and data input terminal Din7 are connected to adjacent terminals 27 and 28.

This terminal configuration does not cause signal conflict of the power input lines, even if memory module 100 is inserted into a socket (not shown) in the wrong direction. In addition, for data input terminals Din0 to Din8 and data output terminals Dout0 to Dout8, since terminals of the same number are adjacently placed, the



arrangement of the data input/output line can be facilitated.

[Advantages of the Invention]

As described, according to this invention, since the power input terminals and the ground terminals are placed at both ends symmetrically about the center line, a signal conflict of the power input lines or adverse effects do not occur even if a memory module is inserted in the wrong direction. In addition, since the data input terminal and the data output terminal of the same number are adjacently located, the arrangement of the data input/output line can be facilitated.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is an external view showing an embodiment of the memory module according to this invention, Fig. 2 shows a circuit diagram of the memory module of this invention, and Fig. 3 shows the terminal configuration of the memory module of this invention.

100: DRAM module  
101: Print circuit board  
201 to 209: DRAM chips  
300: Chip capacitor

Attorney Agents: Kensuke Norichika and Hajime Yamashita

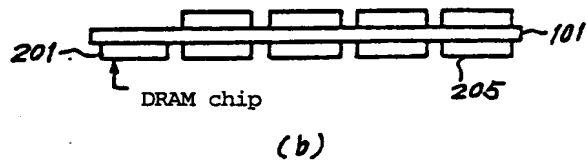
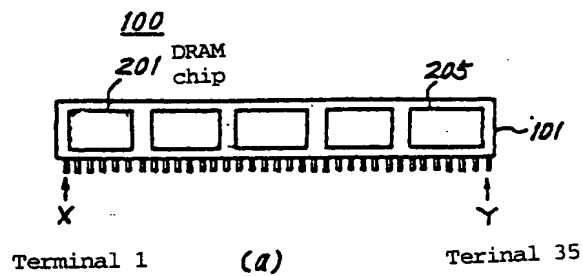


Figure 1

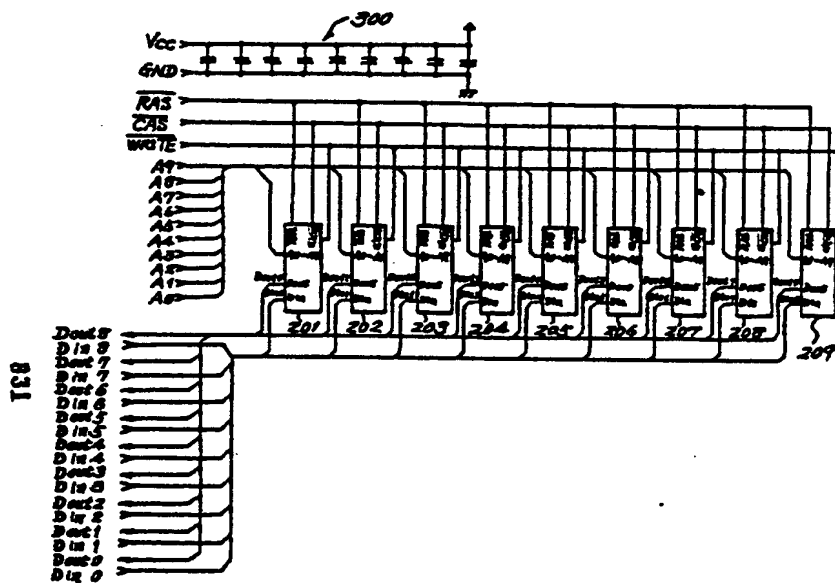


Figure 2

Figure 3

| Terminal No. | Function | Terminal No. | Function                  |
|--------------|----------|--------------|---------------------------|
| 1            | GND      | 19           | Dout3                     |
| 2            | Vcc      | 20           | Din3                      |
| 3            | A0       | 21           | Dout4                     |
| 4            | A1       | 22           | Din4                      |
| 5            | A2       | 23           | Dout5                     |
| 6            | A3       | 24           | Din5                      |
| 7            | A4       | 25           | Dout6                     |
| 8            | A5       | 26           | Din6                      |
| 9            | A6       | 27           | Dout7                     |
| 10           | A7       | 28           | Din7                      |
| 11           | A8       | 29           | Dout8                     |
| 12           | A9       | 30           | Din8                      |
| 13           | Dout0    | 31           | $\overline{\text{RAS}}$   |
| 14           | Din0     | 32           | $\overline{\text{CAS}}$   |
| 15           | Dout1    | 33           | $\overline{\text{WRITE}}$ |
| 16           | Din1     | 34           | Vcc                       |
| 17           | Dout2    | 35           | GND                       |
| 18           | Din2     |              |                           |